

Method of making a semiconductor device having a capacitive layer

Patent Number: US5635420
Publication date: 1997-06-03
Inventor(s): NISHIOKA YASUSHIRO (JP)
Applicant(s): TEXAS INSTRUMENTS INC (US)
Requested Patent: JP8017939
Application Number: US19950485343 19950607
Priority Number(s): JP19940148046 19940629
IPC Classification: H01L21/70; H01L27/00
EC Classification: H01L29/92B
Equivalents:

Abstract

A method for making ferroelectric thin film form capacitors that maintains the insulating characteristics of the thin film capacitors formed on the semiconductor devices while reducing the leakage current and ensuring a yield sufficient for applications to ULSIs such as DRAMs. A metal or oxide thereof, which contains structural elements of a metal forming the ferroelectric thin film, is formed as islands in the initial stage of formation or during the formation of a ferroelectric thin film in semiconductor devices. This suppresses the formation of columnar crystals.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-17939

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 21/8242

27/108

21/314

M

H 01 L 27/ 10

27/ 04

3 2 5 J

C

審査請求 未請求 請求項の数11 OL (全 9 頁) 最終頁に続く

(21)出願番号

特願平6-148046

(22)出願日

平成6年(1994)6月29日

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州グラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 西岡 泰城

茨城県つくば市御幸が丘17番地 テキサ
ス・インスツルメンツ筑波研究開発センタ
ー内

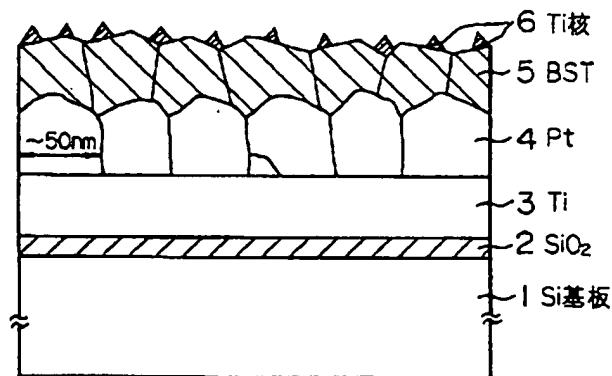
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 半導体装置に形成された薄膜キャバシタの絶縁性を保持しつつ、リーク電流を低減させて、DRAM等のULSIに応用できる程度の歩留りを確保できるキャバシタ用強誘電体薄膜の製造方法を提供することにある。

【構成】 半導体装置の強誘電体薄膜の形成途中又は膜形成の初期に、この強誘電体薄膜を構成する金属の構成要素を含む金属若くはその酸化物を島状に形成する工程を含み、強誘電体膜の柱状結晶の形成を抑制することとした。



【特許請求の範囲】

【請求項 1】 強誘電体薄膜を有する半導体装置の製造方法であって、

半導体基板を用意し、この基板表面に絶縁層を形成する工程と、

前記絶縁層の表面に下部電極を形成する工程と、

前記下部電極上に導電性の接着層を形成する工程と、

前記接着層の上に第 1 の強誘電体薄膜を形成する工程と、

前記強誘電体薄膜の表面結晶粒界上に金属挿入物質を島状に形成する工程と、

前記第 1 の強誘電体薄膜の上に第 2 の強誘電体薄膜を積層させる工程とを含む上記強誘電体薄膜を有する半導体装置の製造方法。

【請求項 2】 前記下部電極の材料及び前記金属挿入物質は、同じ T₁ 又は T₂ の酸化物である特許請求の範囲第 1 項の半導体装置の製造方法。

【請求項 3】 強誘電体薄膜を有する半導体装置の製造方法であって、

半導体基板を用意し、この基板表面に絶縁層を形成する工程と、

前記絶縁層の表面に下部電極を形成する工程と、

前記下部電極上に導電性の接着層を形成する工程と、

前記接着層表面に金属挿入物質を島状に形成する工程と、

前記接着層の上に強誘電体薄膜を形成する工程と、を含む上記強誘電体薄膜を有する半導体装置の製造方法。

【請求項 4】 強誘電体薄膜を有する半導体装置の製造方法であって、

半導体基板を用意し、この基板表面に絶縁層を形成する工程と、

前記絶縁層の表面に下部電極を形成する工程と、

前記下部電極上に導電性の接着層を形成する工程と、

前記基板を加熱し前記下部電極の金属物質を接着層表面に析出させる工程と、

前記接着層の上に強誘電体薄膜を形成する工程と、を含む上記強誘電体薄膜を有する半導体装置の製造方法。

【請求項 5】 強誘電体薄膜を有する半導体装置の製造方法であって、

半導体基板を用意し、この基板表面に絶縁層を形成する工程と、

前記絶縁層の表面に下部電極を形成する工程と、

前記下部電極上に導電性の接着層を形成する工程と、

前記接着層の上に第 1 の強誘電体薄膜を形成する工程と、

前記第 1 の強誘電体薄膜の表面に島状の金属挿入物質を形成する工程と、

前記第 1 の強誘電体薄膜の表面に更に非結晶の第 2 の強誘電体薄膜を形成する工程と、

前記基板を加熱して前記第 2 の強誘電体薄膜を結晶化さ

10

20

30

40

50

せる工程とを含む上記強誘電体薄膜を有する半導体装置の製造方法。

【請求項 6】 前記強誘電体薄膜は、(Ba, Sr)TiO₃、SrTiO₃、BaTiO₃、(Pb, La)(Zr, Ti)O₃、Pb(Zr, Ti)O₃、PbTiO₃ 等の材料から選ばれた一つ、或は、これら材料を含む特許請求の範囲第 1 項、第 3 項、第 4 項又は第 5 項記載の半導体装置の製造方法。

【請求項 7】 半導体装置のキャバシタ膜の製造方法であって、絶縁層の表面に下部電極を形成し、該下部電極上に強誘電体薄膜を形成する際に、金属挿入物質を島状に形成する工程と、前記強誘電体薄膜の結晶粒界を前記金属挿入物質を核として強誘電薄膜を結晶化させる工程とを含む半導体装置のキャバシタ膜の製造方法。

【請求項 8】 前記強誘電体薄膜は、(Ba, Sr)TiO₃、SrTiO₃、BaTiO₃、(Pb, La)(Zr, Ti)O₃、Pb(Zr, Ti)O₃、PbTiO₃ 等の材料から選ばれた一つ、或は、これら材料を含む特許請求の範囲第 10 項のキャバシタの製造方法。

【請求項 9】 半導体基板上に形成された酸化物層と、この酸化物層上に形成された下部電極と、該電極の表面に形成された柱状結晶の金属接着層と、この金属接着層の表面に形成された円形結晶粒の強誘電薄膜と、更に、該強誘電薄膜上に形成された上部電極とを有する電荷蓄積用キャバシタを含む半導体装置。

【請求項 10】 半導体装置の製造方法であって、半導体基板を用意し、この基板上に形成する絶縁層の表面に下部電極を形成し、該下部電極上に接着層を形成し、この接着層の上に第 1 の強誘電体薄膜を形成した後、金属酸化挿入物層を形成し、更に、第 2 の強誘電体薄膜を形成すると共に、前記金属酸化物層を上記第 1 と第 2 の強誘電体薄膜に吸収させる工程を含む半導体装置の製造方法。

【請求項 11】 半導体装置の製造方法であって、半導体基板を用意し、この基板上に形成する絶縁層の表面に下部電極を形成し、該下部電極上に接着層を形成し、この接着層表面に金属酸化挿入物層を形成し、更に、強誘電体薄膜を形成すると共に、前記金属酸化物層を該強誘電体薄膜に吸収させる工程を含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特に、リーク電流を小さくし得る強誘電体薄膜を含む半導体装置及び製造方法に適用して有効な技術に関するものである。

【0002】

【従来技術】 従来、半導体装置の高集積化に伴ってその構成要素の微細化が進んでいる。特に、微細かつ高容量のキャバシタが必要なダイナミックメモリ (DRAM)

において、比誘電率が極めて大きい強誘電体の薄膜が注目されている。公知例としては、例えば (P. J. Bhattacharya等、Jpn. J. Appl. Phys. Vol. 32 (1993) pp. 410 3-4106) 等が上げられる。

【0003】

【発明が解決しようとする課題】ところが、上述のBhattacharya等の開示によると、 Pt 基板上に (Ba, Sr) TiO_3 (以下、「BST」と略称する。) 膜を形成したところ、この膜の結晶は柱状に成長して、高い比誘電率約300を確保できることが分かっている。しかしながら、これらの薄膜を用いてキャパシタを形成したところ、非常に絶縁性の優れたキャパシタを形成できる一方、リーク電流の大きいものが多く、DRAM等の超LSIの量産に適する程度の歩留りを確保するには十分でなかった。この原因を詳細に検討した結果、誘電体薄膜の結晶粒界を通じてリーク電流が生じていることが推測できる。本発明の目的は超LSIに応用できる程度の歩留りを十分確保できるキャパシタ用強誘電体薄膜を含む半導体装置及びその製造方法を提供することにある。

【0004】また、半導体装置、特にDRAMでは小面積のキャパシタが必要になっている。このキャパシタを実現するため、きわめて比誘電率の大きい (Ba, Sr) TiO_3 や $Pb(Zr, Ti)O_3$ 等の強誘電体薄膜が注目されている。この薄膜を用いてキャパシタを形成すると非常に絶縁性の優れたキャパシタを形成できるが、その一方でリーク電流の大きいものが多く、DRAM等のULSIに応用できる程度の歩留りを確保できない。本発明の目的はULSIに応用できる程度に量産可能な歩留りを確保できる電荷蓄積用キャパシタの強誘電体薄膜及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の如くである。本発明において、強誘電体薄膜の形成途中または膜形成の初期段階に、この強誘電体膜を構成する金属の構成要素を含む金属若くはその酸化物を島状に形成して核とする工程を含み、柱状結晶の形成を抑制することによってリーク電流の小さいキャパシタ用誘電体を形成することが可能となる。

【0006】

【作用】上述の発明によれば、DRAM等のキャパシタに蓄積された電荷のリークを最小限にできるので、従来に比してDRAMのリフレッシュ・サイクルを長期にすることができる。また、従来と同様のリフレッシュ・サイクルを保持したまま、メモリ・セルの面積を小さくできるため、ウエハー当たりの歩留まりが向上し、量産性に適した半導体メモリ装置を提供することが可能となる。

【0007】

【実施例】図1を使用して本願発明の前提を説明する。単結晶シリコン基板1の表面に酸化シリコン層2が形成

され、その表面に接着層として機能するTi膜3をスパッタ法によって約50nm形成する。そして、200nmの膜厚のPt4をスパッタ法によって形成して、BST膜5をBSTセラミックスのターゲット材を用いてO₂ / Ar混合ガス中で約200nmの膜厚に堆積する。基板温度は、約650°Cで膜形成を行い、BST膜を結晶化させる。これは、500度°C以下で形成される非晶質BSTの比誘電率が約18と、結晶化させたBSTの比誘電率約300に比べて小さいためである。最後に、Ptの上部電極8を形成してキャパシタを完成させる。その電気的特性は、結晶BST膜のリーク電流が非常に大きくDRAM用キャパシタ絶縁膜として利用することは事実上難しいことが分かった。このBST膜の透過型電子顕微鏡(TEM)を用いた解析や電気的特性の詳しい解析の結果、BST膜のリーク電流は、BST膜5の結晶粒界を通じて発生している可能性が高いことが分かった。さらに、このBST膜の結晶粒は図1に模式的に示すように柱状をしており、この結晶粒の大きさはPt4の結晶粒径とほぼ同じ大きさであることも分かった。

これにより、BSTの柱状結晶は、下地の結晶構造に影響される性質を持つと考えられる。したがって、本発明の実施例であるキャパシタ誘電膜の製造法は、この下地からの結晶成長を制御することによって、柱状結晶の成長を抑制し、BST膜のリーク電流を低減させることにある。

【0008】図2及び図3を用いて本発明の一実施例を説明する。図2は、BST膜表面に島状のTiを堆積させた状態を示す。より詳述すると、酸化シリコン層2の表面に接着層として機能するTi膜3をスパッタ法によって約50nm形成した後、200nmの膜厚のPt4をスパッタ法によって形成する。その後、BST膜5をBSTセラミックスター・ゲットを用いてO₂ / Ar混合ガス中で約100nmの膜厚に堆積する。その際の基板温度は約650°Cに保ちBST膜5を結晶化させる。更に、650°Cでチタン膜Ti6を極めて薄く、約3nm相当に堆積させる過程で、Ti6は、非常に多数の島状に形成される。

【0009】図3は、強誘電体薄膜となる残りのBST膜7を更にO₂ / Ar混合ガス中で約100nmの膜厚に堆積する工程図を示す。図示の如くBST膜の柱状結晶の成長は起こらない。これは、島状のTi6がその後のBST膜の結晶が成長する際の核(CORE)となつものと推定されるからである。島状のTi6は、通常650°CのBST膜7の形成工程で、5または7のBST膜に吸収されることが多く、図3に示すような構造となる。図示したように柱状結晶の成長は抑制され、円形状の結晶粒を形成することができる。この膜を用いてキャパシタを形成して電気的特性を評価すると、従来の方法、即ち、図1の構造の膜に比較して著しいリーク電流の減少が認められる。

【0010】図4に、本実施例における強誘電膜キャバシタの電圧対電流特性の比較を示す。(a)は、従来方法で形成した電気的特性を示し、また、(b)は、本発明の実施例により形成した膜の電気的特性を示す。特に、従来の膜では印加電圧1.5ボルトで $4 \times 10^2 \mu A/cm^2$ であり、本発明の実施例では、同等の印加電圧に対して $1 \mu A/cm^2$ のリーク電流と著しく小さい。

【0011】図5乃至図7は、本発明の別の実施例を示す。上記実施例では、島状のT1膜を形成した後、BST膜7を650°Cという結晶化が起こる温度で形成した。本実施例では、このBST膜をまず非晶質の状態で形成した後に熱処理することで、リーク電流がより少いキャバシタ膜を形成することができる。詳述すれば、酸化シリコン層2の表面に接着層として機能するT1膜3をスパッタ法によって約50nm形成して、その上に200nmの膜厚のPt膜4をスパッタ法によって形成する。その後、BST膜5をBSTセラミックスター-ゲットを用いてO₂ / Ar混合ガス雰囲気中で約100nmの膜厚に堆積する。その際、基板温度は約650°Cに保ちBST膜5を結晶化させる。更に、650°Cでチタン膜T16を極めて薄く、約3nm相当堆積させる過程で、T16は非常に多数の島状に形成される。

【0012】図6は、その後、残りのBST膜9を500°Cの結晶化が起こらない温度で、O₂ / Ar混合ガス雰囲気中で約100nmの膜厚に堆積した構造を示す。更に、650°Cの酸素雰囲気中で約30分間熱処理すると、上記実施例に比してより小さな結晶粒を有するBST膜10を形成した構造を図7に示す。島状のT16がその後のBST膜の結晶が成長する際の核となりさらに非晶質のBST膜形成後の結晶化工程より微細な結晶粒が同時に形成されたものと推定される。その際、島状のT16は通常、その後の650°CのBST10の熱処理工程で、5または10のBST膜に吸収される。柱状結晶の成長は抑制され、円形状の結晶粒を形成することができる。この膜を用いてキャバシタを完成させて電気的特性を評価すると、従来方法のものに比較して著しくリーク電流を減少させることができると十分理解できる。

【0013】図8には、上記実施例と同様の方法で形成したPt膜4の表面に、500°Cで非晶質BST膜9を約100nm形成した構造を示す。この状態から、図9及び図10を用いて本発明の別の実施例を説明する。即ち、BSTキャバシタ膜のリーク電流を改善する第1層目のBSTを非晶質から形成することによっても得られるのである。

【0014】図9は、このBST膜9を650°Cの酸素雰囲気中で熱処理して結晶BST膜10を形成した構造を示し、この時点でBST膜10は柱状に成長せず結晶粒径も小さいことが分かる。更に、この表面に島状のT1を形成する。

【0015】図10に、第2層目のBST7を650°C

で形成して、柱状結晶がなくリーク電流の小さいBSTキャバシタを形成する構造を示す。このキャバシタ膜に上部電極を形成し、キャバシタを完成させる。

【0016】図11及び図12は他の実施例を示し、図11は、接着層の表面に島状のT1膜6を形成した構造を示す。即ち、上記実施例においては、柱状結晶の成長を抑制するため、島状のT1膜6を強誘電体膜形成の中間工程に導入したが、同様な効果は、強誘電体膜を形成する前に島状のT1膜6を導入することによっても達成できる。シリコン基板1を酸化して酸化シリコン膜2の表面に接着層として機能するT1膜3をスパッタ法によって約50nm形成した後、200nmの膜厚のPt膜4をスパッタ法によって形成する。そして、400°Cで島状のチタンT1膜6を約3nm相当堆積する。更に、BST膜5をBSTセラミックのターゲットを用いてO₂ / Ar混合ガス雰囲気中で約200nmの膜厚に堆積する。基板温度は約650°Cに保ち、BST膜5をこの条件で結晶化することで形成する。この島状のチタンT1膜6は、後に650°CのBST膜5の形成工程で、BST膜5に吸収される。その構造を図12に示す。特に、柱状結晶の成長は、抑制され円形状の結晶粒となることが分かる。この膜を用いてキャバシタを完成させ電気的特性を評価した所、従来方法の構造に比較して著しいリーク電流の減少がある。

【0017】図13乃至図15に他の実施例を示す。図13は、上記実施例と同様に、Pt膜4の表面に400°Cで島状のチタンT1膜6を約3nm相当堆積した構造を示し、本発明の別の実施例の出発工程とする。即ち、BSTキャバシタのリーク電流の改善は、BST膜を非晶質から形成することによっても得られる。図14は、その後、500°Cで非晶質のBST膜9を約100nm形成する。このBST膜9を650°Cの酸素雰囲気中で熱処理して結晶化したBST膜10を得る。この時点でBST膜10は柱状に成長せず結晶粒径も小さい。更に、その表面に形成された島状のT1は、第2層目のBST膜10に吸収される。その結果、図15のように、柱状結晶を有しないBST膜は、リーク電流を低減するキャバシタの一部となる。

【0018】上記の各実施例は、BST結晶成長の核となるT16をスパッタ法等を用いて、Pt膜4の表面に成長させたが、Pt膜4の下地の接着層T1(またはT1N)等からの粒界拡散を利用して形成させてもよい。図16に、その断面図を示し、また、図17にPt4の接着層の表面に形成されたT1核を示す。Ptの接着層4を約650°Cの窒素雰囲気中で30分間熱処理する。この微小領域を分析可能な透過型電子顕微鏡(TEM)で解析すればPt膜4の結晶粒界部にT1核6が成長していることが確認できる。この領域の上に上記実施例に示した方法を用いてBST膜を柱状結晶にならないように形成することによって、リーク電流が極少のキャバシ

タを形成することができる。なお、本実施例のT1核6に代えて、図13のPt膜4を650℃の酸素雰囲気中で熱処理すると酸化チタンが結晶粒界に成長したが、これをBST膜の成長の核とすることによって、同等のBST膜を形成できる。また、本発明の実施例ではPtの結晶粒界に核を形成することを可能にする接着層としてT1やTiNを用いた例を示したが、同様な効果を有するZrやIr及びそれらの酸化物、導電性の酸化膜RuO₃、SnO₂等を用いてもよい。

【0019】更に、本発明の別の実施例を示す。本発明の実施例においては、この下地からの結晶成長を妨げることによって、柱状結晶の成長を抑制し、BST膜のリーク電流の低減を可能とする。図18に、本実施例の半導体装置の断面を示す。酸化したシリコン基板1の上に接着層としてT1膜3をスパッタ法によって約50nm形成し、200nmの膜厚のPt4をスパッタ法によって形成する。その後、BST膜5をBSTセラミックスターゲットを用いてO₂/Ar混合ガス中で約100nmの膜厚に堆積させる。その際基板温度を約650℃に保ち、BST膜5を結晶化させる。その後、650℃でチタン酸化膜T1O₂膜11を極めて薄く、約5nmほど堆積する。そして、再度、残りのBST膜7をO₂/Ar混合ガス中で約100nmの膜厚に堆積する。その結果、このT1O₂膜11は、通常、その後の650℃のBST7の形成工程で、BST膜5、7に吸収され、膜5と7の境界面から消滅するよう見える。特に、強誘電体膜である柱状結晶の成長は、抑制され円形状の結晶粒となるので、粒界面に沿って流れる電流を抑止するのに効果的である。この膜を用いてキャパシタを形成して電気的特性を評価したところ、従来の方法の構造のものに比較して著しいリーク電流の減少がある。この実施例の効果は、上述の実施例で示した電圧対電流特性よりもリーク電流が著しく小さい。

【0020】以上の実施例では、BSTの形成過程の途中にT1O₂膜を形成することによって、Pt基板からの柱状結晶の成長を抑制することができる。この場合T1O₂膜のT1元素は、もともとBST膜に含まれている元素のために、その後の高温の工程でBST膜に吸収されてしまう。従って、ほとんど比誘電率の実効的減少をひき起こさない。よって、本発明の効果は、BST形成工程での中間挿入膜は、酸化バリウム膜や酸化ストロンチウム膜でも同様な改善効果をもたらす。更に、BSTの構成金属のBa、Sr、Ti等の金属薄膜を利用してもよい。

【0021】また更に、BST以外の強誘電体材料に関するものも当てはまる。すなわち、本発明における強誘電体薄膜は(Ba、Sr)TiO₃、SrTiO₃、BaTiO₃、(Pb、La)(Zr、Ti)O₃、Pb(Zr、Ti)O₃、PbTiO₃等を構成要素として含んでいても構わない。また、これらの膜の柱状結晶の成長

を抑制するための挿入膜はこれら強誘電体を構成する元素またはその酸化物を含んでいてもよい。

【0022】図19は、T1O₂の挿入層を用いた他の実施例を示す。上記実施例では、柱状結晶の成長を抑制するために、挿入層11を強誘電体膜形成過程の途中に導入したが、同様な効果は、強誘電体膜の形成前に挿入層を導入することによっても達成できる。つまり、酸化したシリコン基板1の上に接着層としてT1膜3をスパッタ法によって約50nm形成し、200nmの膜厚のPt4をスパッタ法によって形成する。その後、650℃でチタン酸化膜T1O₂膜11を極めて薄く、約5nmほど堆積する。更に、BST膜7をBSTセラミックスのターゲットを用いてO₂/Ar混合ガス中で約200nmの膜厚に堆積する。その際の基板温度を約650℃に保ち BST膜7結晶化させることで図19に示す構造となる。また、T1O₂挿入層11は、BST膜7に吸収され、リーク電流の防止を有効に達成することができる。この時のリーク電流の減少は、従来法に比して著しく、上記T1O₂の挿入層11と同等のレベルにある。

【0023】以上の実施例は、BSTの形成過程の初期または途中に島状のT1膜やT1O₂膜を形成することによって、Pt基板からの柱状結晶の成長を抑制することができる。この場合T1O₂膜のT1元素は、本来的にBST膜に含まれている元素であるため、その後の高温の工程でBST膜に吸収されてしまう。よって、ほとんど比誘電率の実効的減少を生じない。また、本発明の効果はBST形成工程での中間挿入膜は、酸化バリウム膜や酸化ストロンチウム膜でも同様な改善効果をもたらす。更に、BSTの構成金属のBa、Sr、Tiの金属薄膜を利用してもよい。なお、本発明の実施例では、例えば、スパッタ法を用いて核形成を行なう方法を示したが、これには、CVD法若くは熱蒸着法並びにスピンドル法を利用したゾルゲル法でも構わない。特に、ゾルゲル法を用いて強誘電体薄膜を形成する場合、通常非晶質の強誘電体を熱処理によって結晶化させる場合が多く本発明の効果が著しいことはいうまでもない。

【0024】更にまた、本発明による作用効果は、BST以外の強誘電体材料に関するものも当てはまる。即ち、本発明の実施例である半導体装置の強誘電体薄膜は、(Ba、Sr)TiO₃、SrTiO₃、BaTiO₃、(Pb、La)(Zr、Ti)O₃、Pb(Zr、Ti)O₃、PbTiO₃等を構成要素として含んでいても構わない。これらの膜の柱状結晶の成長を抑制するための挿入膜は、これら強誘電体を構成する元素またはその酸化物を含んでいても構わない。

【0025】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、50次の通りである。通常柱状結晶を形成する強誘電体薄膜

の形成途中または膜形成の初期に、この強誘電体膜を構成する金属の構成要素を含む金属もしくはその酸化膜を形成する工程を含ませ、柱状結晶の形成を抑制することによってリーク電流の小さいキャパシタ用誘電体を形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の前提を説明するための強誘電体(BST)キャパシタ構造の要部断面図である。

【図2】本発明の第1の実施例である強誘電体(BST)キャパシタ膜の中間工程の断面図である。

【図3】本発明の第1の実施例である強誘電体(BST)キャパシタ膜の要部断面図である。

【図4】本発明の第1の実施例である強誘電体(BST)キャパシタと従来法によるキャパシタの電圧対電流特性図である。

【図5】本発明の別の実施例である強誘電体(BST)キャパシタ膜の中間工程図である。

【図6】本発明の別の実施例である強誘電体(BST)キャパシタ膜の中間工程図である。

【図7】本発明の別の実施例である強誘電体(BST)キャパシタ膜の要部断面図である。

【図8】本発明の別の実施例である強誘電体(BST)キャパシタ膜の中間工程図である。

【図9】本発明の別の実施例である強誘電体(BST)キャパシタ膜の中間工程図である。

【図10】本発明の別の実施例である強誘電体(BST)キャパシタ膜の要部断面図である。

【図11】本発明の別の実施例である強誘電体(BST)キャパシタ膜の中間工程図である。

【図12】本発明の別の実施例である強誘電体(BST)キャパシタ膜の要部断面図である。

【図13】本発明の別の実施例である強誘電体(BST)キャパシタ膜の中間工程図である。

【図14】本発明の別の実施例である強誘電体(BST)キャパシタ膜の中間工程図である。

【図15】本発明の別の実施例である強誘電体(BST)キャパシタ膜の要部断面図である。

【図16】本発明の別の実施例である強誘電体(BST)キャパシタ膜の下地の断面図である。

【図17】本発明の別の実施例である強誘電体(BST)キャパシタ膜の下地の平面図である。

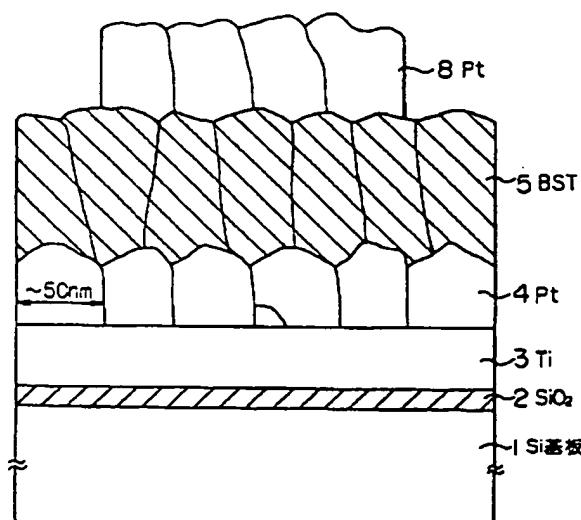
【図18】本発明の別の実施例である強誘電体(BST)キャパシタ膜の腰部断面図

【図19】本発明の別の実施例である強誘電体(BST)キャパシタ膜の腰部断面図

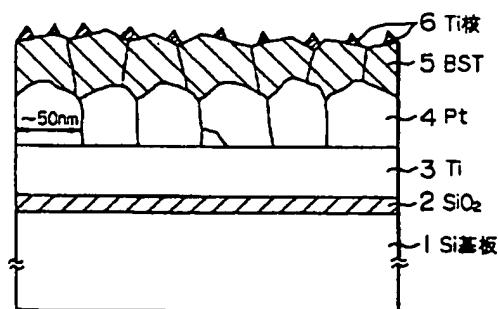
【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン膜 (SiO_2)
- 3 Ti膜
- 4 Pt膜 (接着層及び下部電極)
- 5 強誘電体膜 (BST)
- 6 島状のTi核
- 7 強誘電体膜 (BST)
- 8 Pt層 (上部電極)
- 9 非結晶の強誘電体膜 (BST)
- 10 結晶化した強誘電体膜 (BST)
- 11 酸化チタニウム層 (TiO_2)

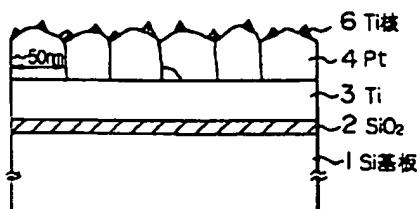
【図1】



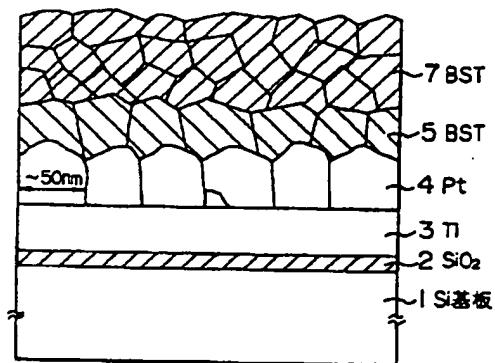
【図2】



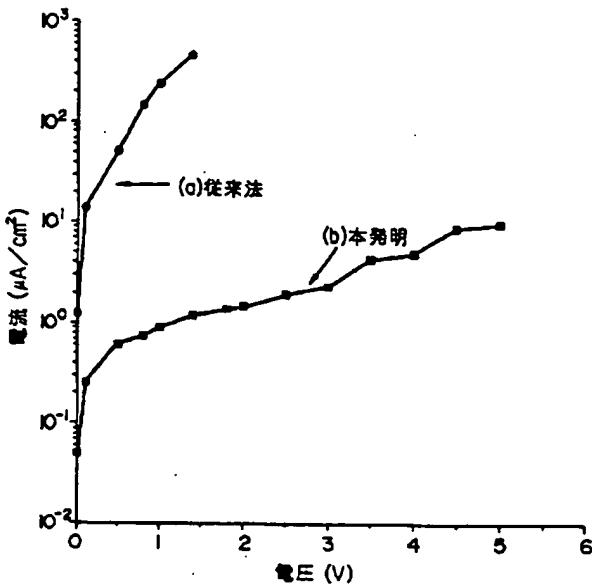
【図13】



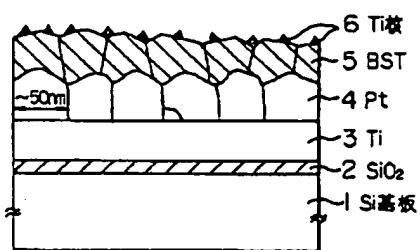
【図3】



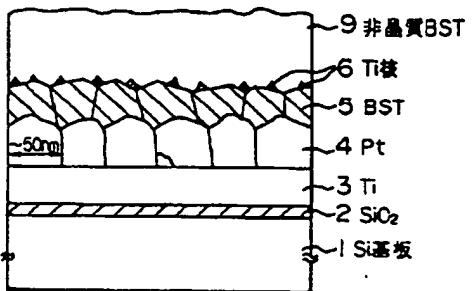
【図4】



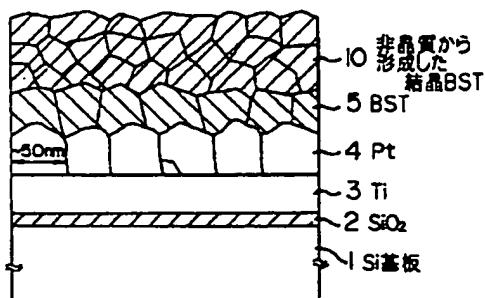
【図5】



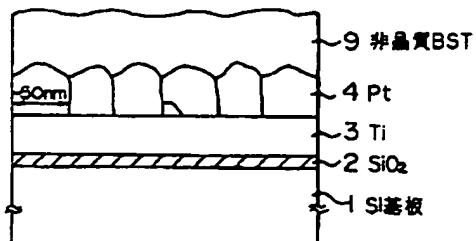
【図6】



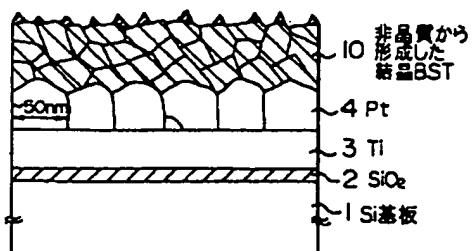
【図7】



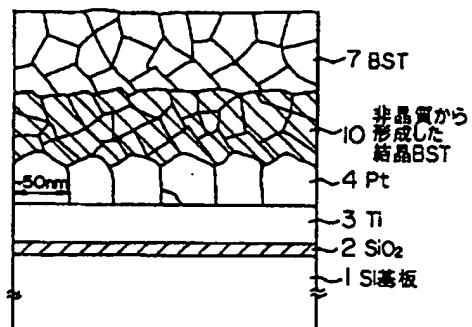
【図8】



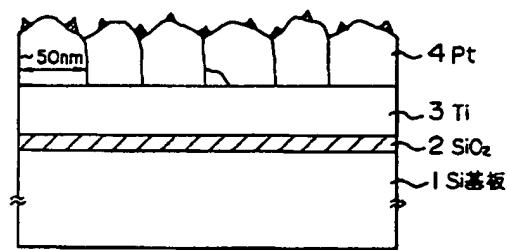
【図9】



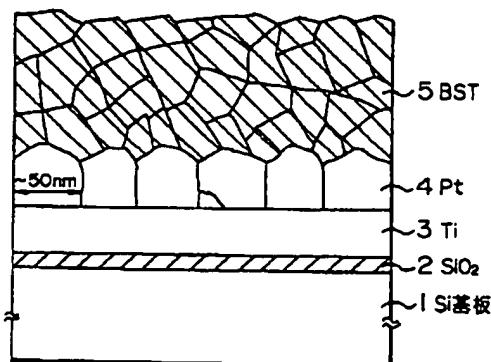
【図10】



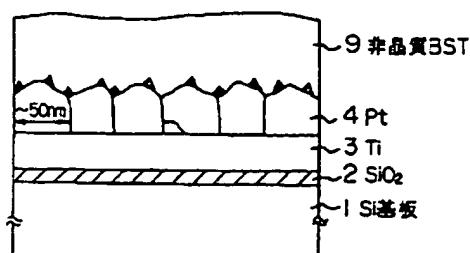
【図11】



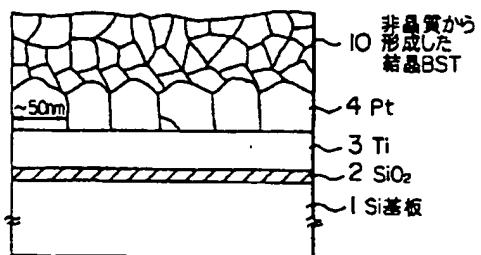
【図12】



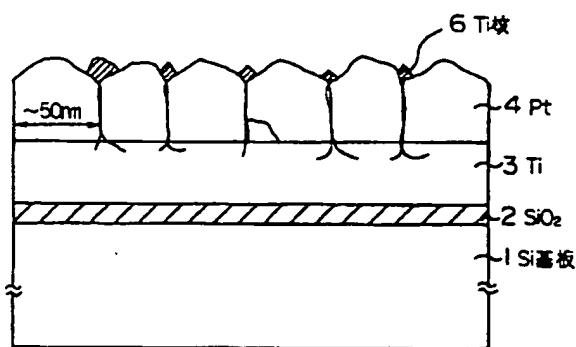
【図14】



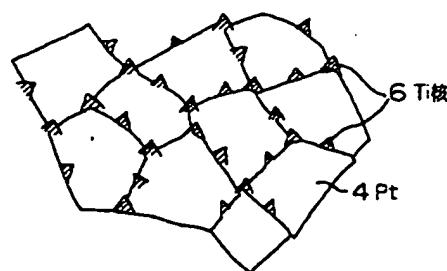
【図15】



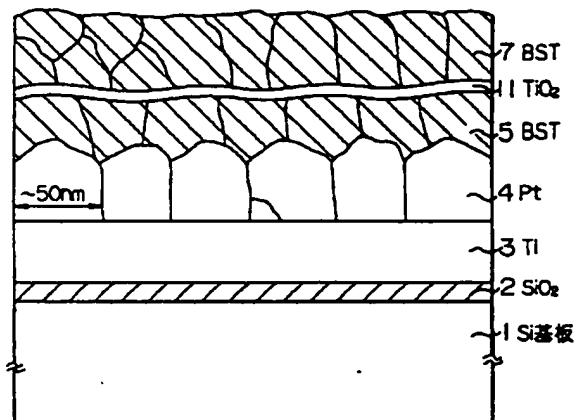
【図16】



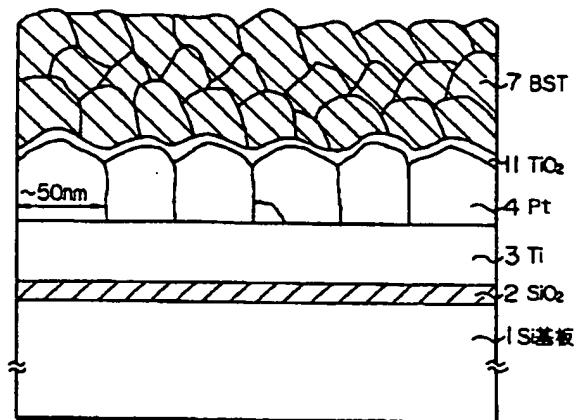
【図17】



【図18】



【図19】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822